

兼有可调性的同步整流控制及 ZVS 全桥式电流模式 PWM 控制器

ISL6752 是高性能，少引脚的零电压 (ZVS)全桥式脉冲宽度(PWM)控制器。与 Intersil 的 ISL6551 相似，通过上层开关启动于固定的 50%占空比，下层开关调整脉冲宽度于后沿，它能实现ZVS 运行。与熟悉的相位位移控制方法(Phase-Shifted)比较，这个方法用较少数目引脚的包装，相应简单地提供同等的效率性能以及改善的过流保护和轻载性能。

ISL6752 为同步整流控制具备互补 PWM 输出端。利用外部控制电压, 这些互补的输出端可以动态地被前置或者延迟。

这个先进的 BiCMOS 设计不但兼容了精确的死区时间控制以及共振延迟控制，而且具有一个可调振荡器其频率高达 2MHz。另外, 当跳脉冲可能发生的情况下, 多相脉冲抑制能在低工作周期时保证相应的输出脉冲。

定购资料

零件号码	温度范围 (°C)	包装	包装图号 #
ISL6752AAZA (Note)	-40 to 105	16 Ld QSOP (Pb-free)	M16.15A

Add -T suffix to part number for tape and reel packaging.

NOTE: Intersil Pb-free products employ special Pb-free material sets; molding compounds/die attach materials and 100% matte tin plate termination finish, which are RoHS compliant and compatible with both SnPb and Pb-free soldering operations. Intersil Pb-free products are MSL classified at Pb-free peak reflow temperatures that meet or exceed the Pb-free requirements of IPC/JEDEC J STD-020.

主要特点

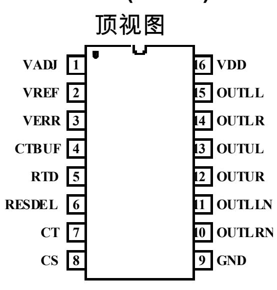
- ZVS 运行可调共振延迟
- 延迟/前置可调的同步整流控制输出
- 电流摸式控制
- 3%限流临界
- 可调死区时间控制
- 175µA 启动电流
- 输入电源欠压切断保护
- 可调振荡频率高达 2MHz
- 内部过温保护
- 缓冲振荡锯齿输出
- 快电流传感延迟
- 可调周期性峰值限流电流
- 70ns 上升沿消隐
- 多脉冲抑制
- 不含铅 (RoHS Compliant)
- ELV, WEEE, and RoHS Compliant

应用

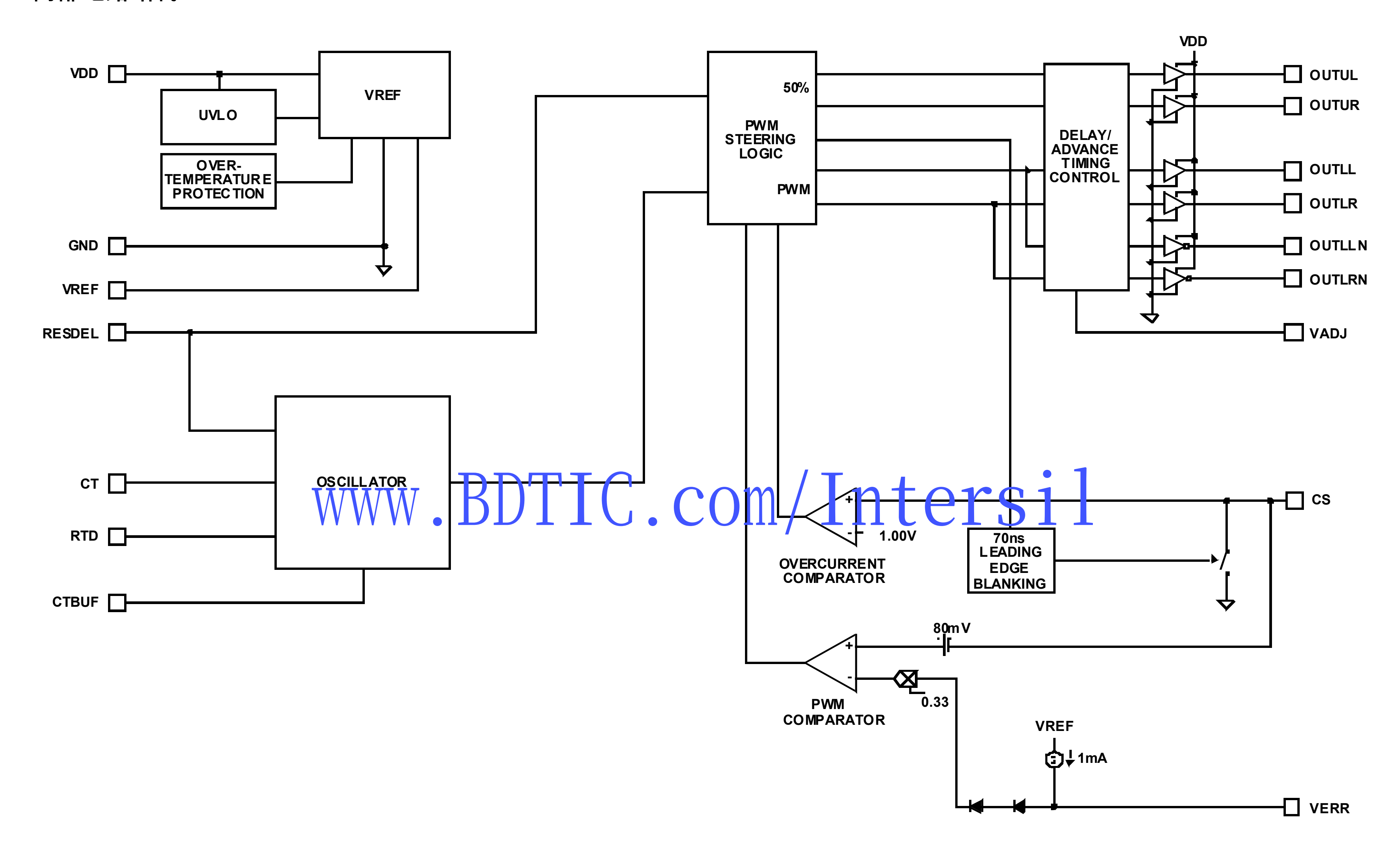
- ZVS 全桥转换器
- 电信和信息电源
- 无线基站电源
- 档案服务器电源
- 工业动力系统

插脚引线

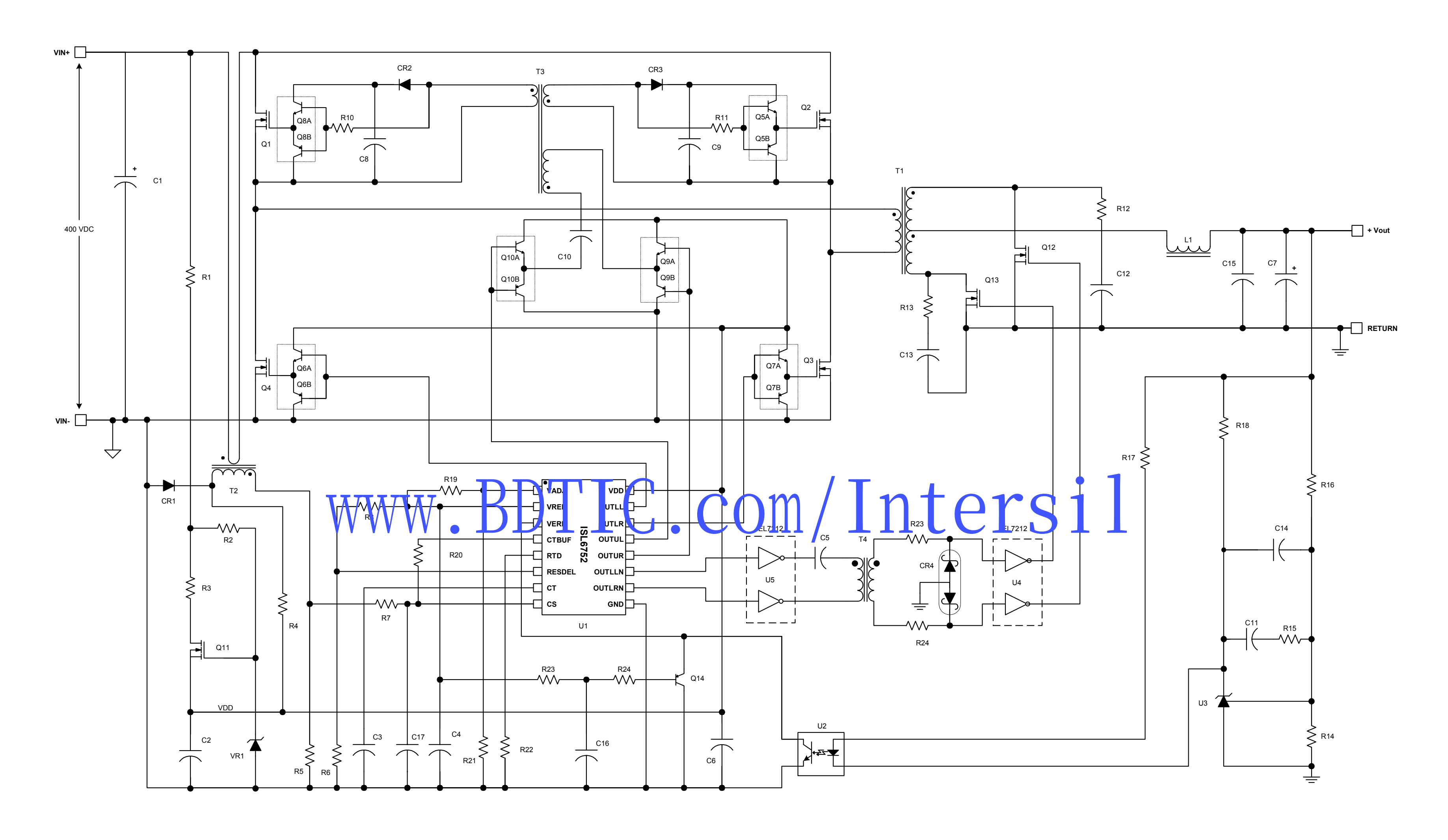
ISL6752 (QSOP)
顶视图



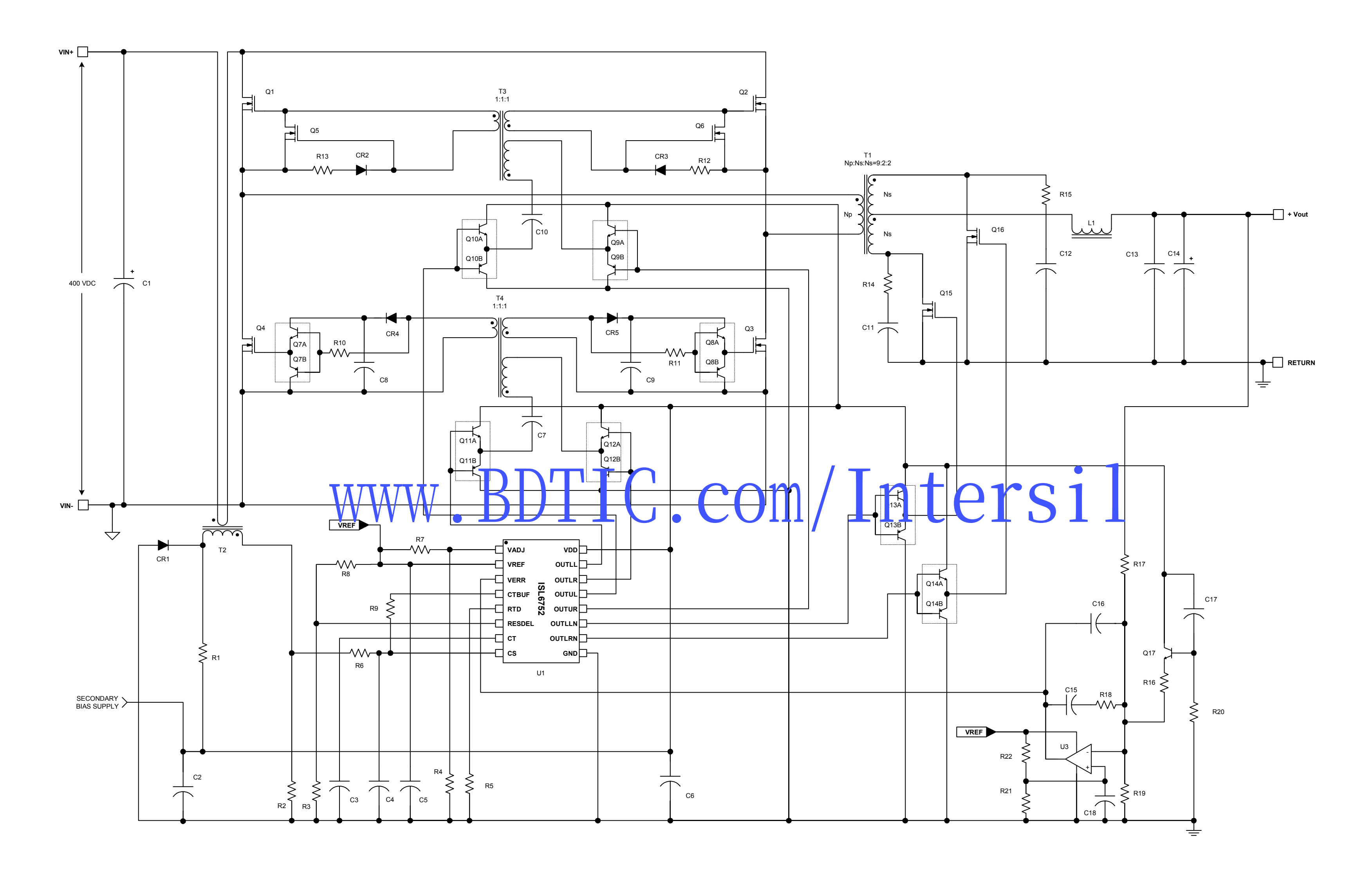
内部电路结构


VDD
UVLO
VREF
OVER-
TEMPERATURE
PROTECTION
GND
VREF
RESDEL
OSCILLATOR
CT
RTD
CTBUF
50%
PWM
STEERING
LOGIC
PWM
DELAY/
ADVANCE
TIMING
CONTROL
VDD
OUTUL
OUTUR
OUTLL
OUTLR
OUTLLN
OUTLRN
VADJ
CS
1.00V
OVERCURRENT
COMPARATOR
70ns
LEADING
EDGE
BLANKING
80mV
0.33
PWM
COMPARATOR
VREF
1mA
VERR

典型应用电路 – 高压输入原边控制 ZVS 全桥转换器



典型应用电路 – 高压输入次边控制 ZVS 全桥转换器



额定值

Supply Voltage, VDD ----------------GND - 0.3V to +20.0V
OUTxxx ------------------------------------GND - 0.3V to VDD
Signal Pins-------------------------GND - 0.3V to V_{REF} +0.3V
Peak GATE Current --0.1A
ESD Classification
Human Body Model (Per MIL-STD-883 Method 3015.7)------3000V
Charged Device Model (Per EOS/ESD DS5.3, 4/14/93)-------1000V

运行条件

Supply Voltage Range (Typical)------------------9V-16VDC
Temperature Range
ISL6752AAxx------------------------------ -40°C to 105°C

热性能的资料

Thermal Resistance Junction to Ambient (Typical) θ_{JA} (°C/W)
16 Lead QSOP (Note 1)-------------------------------------105
Maximum Junction Temperature -------------------55°C to 150°C
Maximum Storage Temperature Range-----------65°C to 150°C
Maximum Lead Temperature (Soldering 10s)--------------300°C
(QSOP – Lead Tips Only)

CAUTION: Stress above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied.

Notes:

1) θ_{JA} is measured with the component mounted on a low effective thermal conductivity test board in free air. See Tech Brief TB379 for details.

2) All voltages are with respect to GND.

电气规范

Electrical Specifications

Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application *Schematic.*

9V < V_{DD} < 20V, RTD = 10.0kΩ, CT = 470pF, T_A = -40°C to 105°C (Note 3), Typical values are at T_A= 25°C.

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SUPPLY VOLTAGE					
Supply Voltage		-	-	20	V
Start-Up Current, I_{DD}	V_{DD} = 5.0V	-	175	400	μA
Operating Current, I_{DD}	R_{LOAD}, C_{OUT} =0	-	11.0	15.5	mA
UVLO START Threshold		8.00	8.75	9.00	V
UVLO STOP Threshold		6.50	7.00	7.50	V
Hysteresis		-	1.75	-	V
REFERENCE VOLTAGE					
Overall Accuracy	I_{VREF} = 0-10mA	4.850	5.000	5.150	V
Long Term Stability	T_A = 125°C, 1000 hours (Note 4)	-	3	-	mV
Operational Current (source)		-10	-	-	mA
Operational Current (sink)		5	-	-	mA
Current Limit	VREF = 4.85V	-15	-	-100	mA
CURRENT SENSE					
Current Limit Threshold	VERR = VREF	0.97	1.00	1.03	V
CS to OUT Delay	Excl. LEB (Note 4)	-	35	50	ns
Leading Edge Blanking (LEB) Duration	(Note 4)	50	70	100	ns
CS to OUT Delay + LEB	T_A = 25°C	-	-	130	ns
CS Sink Current Device Impedance	V_{CS} = 1.1V	-	-	20	Ω
Input Bias Current	V_{CS} = 0.3V	-6.00	-	-2.00	μA

电气规范

Electrical Specifications Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application *Schematic.* 9V < V_{DD} < 20V, RTD = 10.0kΩ, CT = 470pF, T_A = -40°C to 105°C (Note 3), Typical values are at T_A= 25°C. (continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
CS to PWM Comparator Input Offset	T_A = 25°C	65	80	95	mV
PULSE WIDTH MODULATOR					
VERR Pull-Up Current Source	VERR = 2.50V	0.80	1.00	1.30	mA
VERR VOH	I_{LOAD} = 0mA	4.20	-	-	V
Minimum Duty Cycle	VERR < 0.6V	-	-	0	%
Maximum Duty Cycle (per half-cycle)	VERR = 4.20V, V_{CS} = 0V (Note 5)	-	94	-	%
	RTD = 2.00kΩ, CT = 220pF	-	97	-	%
	RTD = 2.00kΩ, CT = 470pF	-	99	-	%
Zero Duty Cycle VERR Voltage		0.85	-	1.20	V
VERR to PWM Comparator Input Offset	T_A = 25°C	0.7	0.8	0.9	V
VERR to PWM Comparator Input Gain		0.31	0.33	0.35	V/V
Common Mode (CM) Input Range	(Note 4)	0	-	4.45	V
OSCILLATOR					
Frequency Accuracy, Overall	(Note 4)	165	183	201	KHz
		-10	-	10	%
Frequency Variation with VDD	T_A = 25°C, $(F_{20V} - F_{10V})/F_{10V}$	-	0.3	1.7	%
Temperature Stability	VDD = 10V, $\lvert F_{-40^oC} - F_{0^oC}\rvert / F_{0^oC}$	-	4.5	-	%
	$\lvert F_{0^oC} - F_{105^oC}\rvert / F_{25^oC}$ (Note 4)	-	1.5	-	%
Charge Current	T_A = 25°C	-193	-200	-207	µA
Discharge Current Gain		19	20	23	µA/ µA
CT Valley Voltage	Static Threshold	0.75	0.80	0.88	V
CT Peak Voltage	Static Threshold	2.75	2.80	2.88	V
CT Pk-Pk Voltage	Static Value	1.92	2.00	2.05	V
RTD Voltage		1.97	2.00	2.03	V
RESDEL Voltage Range		0	-	2.00	V
CTBUF Gain ($V_{CTBUFp-p}/V_{CTp-p}$)	V_{CT} = 0.8V, 2.6V	1.95	2.0	2.05	V/V
CTBUF Offset from GND	V_{CT} = 0.8V	0.34	0.40	0.44	V
CTBUF VOH	$\Delta V(I_{LOAD}$ = 0mA, I_{LOAD} = -2mA), V_{CT} = 2.6V	-	-	0.10	V
CTBUF VOL	$\Delta V(I_{LOAD}$ = 2mA, I_{LOAD} = 0mA), V_{CT} = 0.8V	-	-	0.10	V
OUTPUT					
High Level Output Voltage (VOH)	I_{OUT} = -10mA, VDD - VOH	-	0.5	1.0	V
Low Level Output Voltage (VOL)	I_{OUT} = 10mA, VOL - GND	-	0.5	1.0	V
Rise Time	C_{OUT} = 220pF, VDD = 15V (Note 4)	-	110	200	ns
Fall Time	C_{OUT} = 220pF, VDD = 15V (Note 4)	-	90	150	ns
UVLO Output Voltage Clamp	VDD = 7V, I_{LOAD} = 1mA (Note 6)	-	-	1.25	V
Output Delay/Advance Range	V_{ADJ} = 2.50V (Note 4)	-	-	3	ns

电气规范

Electrical Specifications Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application *Schematic.* 9V < V_{DD} < 20V, RTD = 10.0kΩ, CT = 470pF, T_A = -40°C to 105°C (Note 3), Typical values are at T_A= 25°C.

OUTLLN/OUTLRN relative to OUTLL/OUTLR	V_{ADJ} < 2.425V	-40	-	-300	ns
	V_{ADJ} > 2.575V	40	-	300	ns
Delay/Advance Control Voltage Range OUTLLN/OUTLRN relative to OUTLL/OUTLR	OUTLxN Delayed	2.575	-	5.000	V
	OUTLxN Advanced	0	-	2.425	V
V_{ADJ} Delay Time	T_A = 25°C (OUTLx Delayed) V_{ADJ} = 0V	280	300	320	ns
	V_{ADJ} = 0.5V	92	105	118	ns
	V_{ADJ} = 1.0V	61	70	80	ns
	V_{ADJ} = 1.5V	48	55	65	ns
	V_{ADJ} = 2.0V	41	50	58	ns
	T_A = 25°C (OUTLx NDelayed) V_{ADJ} = VREF	280	300	320	ns
	V_{ADJ} = VREF - 0.5V	86	100	114	ns
	V_{ADJ} = VREF - 1.0V	59	68	77	ns
	V_{ADJ} = VREF - 1.5V	47	55	62	ns
	V_{ADJ} = VREF - 2.0V	41	48	55	ns
THERMAL PROTECTION					
Thermal Shutdown	(Note 4)	130	140	150	°C
Thermal Shutdown, Clear	(Note 4)	115	125	135	°C
Hysteresis, Internal Protection	(Note 4)	-	15	-	°C

NOTES:

3. Specifications at -40°C are guaranteed by 25 °C test with margin limits.

4. Guaranteed by design, not 100% tested in production.

5. This is the maximum duty cycle achieveable using the specified values of RTD and CT. Larger or smaller maximum duty cycles may be obtained using other values for these components. See Equation 1-3.

6. Adjust VDD below the UVLO stop threshold prior to setting at 7V.

典型性能曲线图

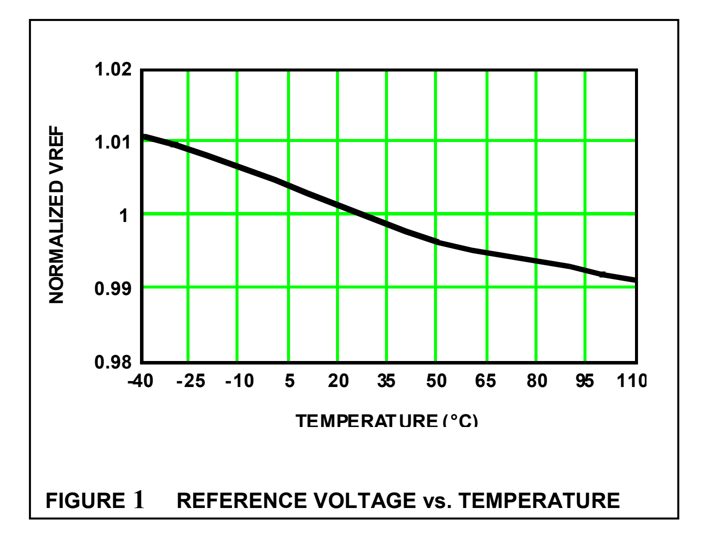


FIGURE 1 REFERENCE VOLTAGE vs. TEMPERATURE

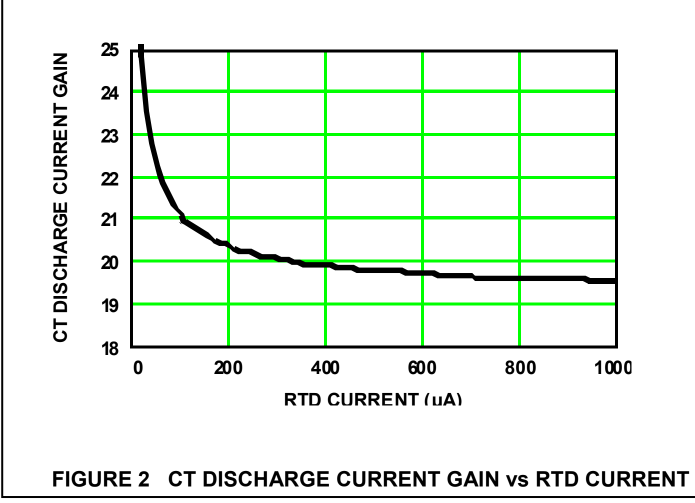


FIGURE 2 CT DISCHARGE CURRENT GAIN vs RTD CURRENT

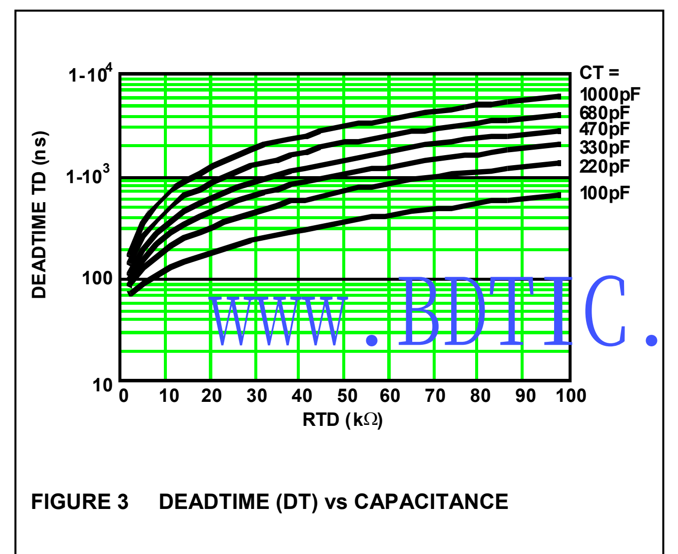


FIGURE 3 DEADTIME (DT) vs CAPACITANCE

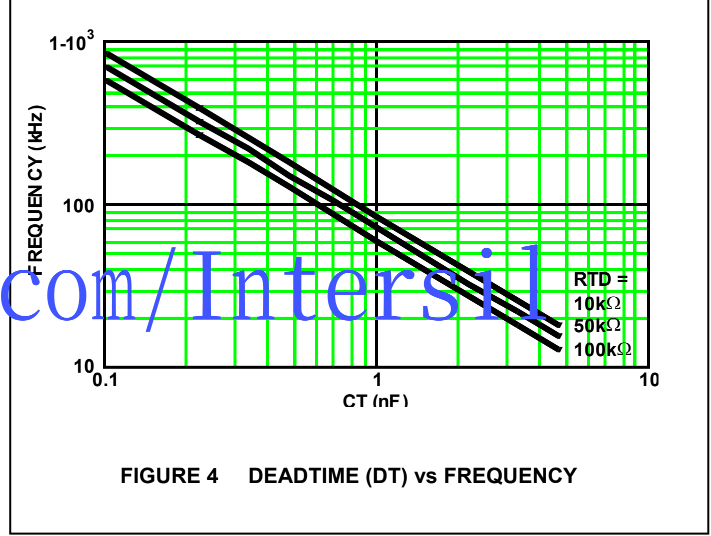


FIGURE 4 DEADTIME (DT) vs FREQUENCY

各管脚简介

VDD

VDD是控制器的电源输入端。要优化抗扰度, 用一个陶瓷电容器尽可能靠近并挎接在VDD和GND引脚。

监测VDD是用来做输入电源欠压保护。起动和切断的临限会密切跟随以保证固定的磁滞。

GND

器件上所有功能和电源地都以这个引脚为基准。由于高峰值电流以及高频运行, 低阻抗布局是很有必要的。高度推荐使用接地面以及短线迹。

VREF

这是 5.00V 的基准电压输出端，且有 3%的容差遍及输入、负载和温度范围。可连接 0.1µF 至 2.2µF 的低 ESR 电容至 GND 以作滤波这输出所需。

CT

振荡器的定时电容可以挎接在这个引脚和GND之间。这个电容是用200µA 的内部电流源来充电, 其放电是通过用户可以调整的RTD设置的电流源。

RTD

这是振荡器的定时电容的放电电流控制引脚。跨接在这引脚和GND的电阻的电流决定CT放电电流的大小。CT放电电流通常是电阻电流的20倍。这个PWM的死区时间是由定时电容的放电期间来决定的。在RTD引脚的标称电压是2.00V。

CS

这是过流比较器的输入端。过流比较器的标称临限值设置在1.00V。PWM输出的任一端被终止会导致CS引脚与GND引脚短路。

取决于电流取样的内部阻抗，由于内部时钟与外部电源开关之间的延迟, 可以在输入端串联一个电阻。这个延迟有时会导致CS引脚在电源开关器件关断之前被放电。

OUTUL and OUTUR

这两个输出端是用来控制上端FETs在固定的50%工作周期以交替式运行。OUTUL控制左上FET, OUTUR 控制右上FET。左边和右边的指示符可以交换只要下端FET输出端, OUTLL和OUTLR也同时交换。

RESDEL

这个引脚是用来设置上端FETs触发与任何一个下端FETs启动的共振延迟周期。RESDEL引脚上的电压将决定上端FETs何时开关相对于下端FETs的开关。把控制端电压从0V改变到2V会使得共振延迟时间从0%提高到100%的死区时间。把控制端电压除以2会代表死区时间等于共振延迟。实际上最大共振延迟必须设置成小于2.0V以保证即使在最大占空比时在上端FETs开关之前下端FETs处于关断状态。

OUTLL and OUTLR

这两个输出端是用来控制下端FETs, 其脉决宽度被调制并以交替式运行。OUTLL控制左下FET, OUTLR 控制右下FET。左边和右边的指示符可以交换只要上端FET输出端, OUTUL和OUTUR也同时交换。

OUTLLN and OUTLRN

这些输出端与PWM(下端)FETs成互补。OUTLLN与OUTLL成互补, OUTRN与OUTLR成互补。这些输出端可以用来控制同步整流器。每个输出端与其互补端的相位关系是由VADJ的电压值来控制的。

VADJ

这个引脚从0V到5V的控制电压设置OUTLL/OUTLR和OUTLLN/OUTLRN相对延迟或者前置。不管OUTLL/OUTLR和OUTLLN/OUTLRN之间的相位调整, OUTUL/OUTUR和OUTLL/OUTLR的相位关系是不变的。

相对于OUTLL/OUTLR, 电压低于2.425V会导致OUTLLN/OUTLRN相对前置。相对于OUTLL/OUTLR, 电压高于2.575V会导致OUTLLN/OUTLRN相对延迟。电压值为2.50 V ±75mV会导致零相位差。如果这个输入端悬浮, 从VREF分压50%的内部电压会导致无延迟相位。

相位延迟/前置的范围是0或者是40ns与300ns之间, 随着与2.5V电压差的增加, 相位差也会增大。控制电压与相位差的关系是非线性的。当控制电压接近2.5V时, 电压增益(Δt/ΔV)是很小的, 并且会随着电压接近控制极限而很快地增大。当选择一个相当短的延迟/前置时, 这个特点为用户提供不断的准确性。

VERR

这个输入端为PWM 比较器的倒置输入端提供控制电压。对于闭环电压调节, 外部误差信号放大器的输出电压可以直接加在这个输入端, 或者是通过光耦合器。VERR具有额定值为1mA上拉电流源。

CTBUF

CTBUF是CT引脚上的锯齿振荡波型的缓冲输出以及能够产生2mA电流。这个引脚的对地偏移电压是0.4V并且谷峰标称增益为2。这可以用来做斜率补尝。

功能概述

主要特点

ISL6752最适用于需可调同步整流驱动器且成本低的ZVS全桥型变换器。ISL6752有许多保护和控制的性能，需要极少外部元件。其性能包括: 非常准确的过流保护, 过热保护, 适用于斜率补偿的隔离锯齿振动器输出, 可调延迟或增加时间的同步整流器输出, 和可调整的频率。

如果不需要同步整流器, 可应用ISL6753控制器。

振荡器

ISL6752通过改变电阻R_{TD} 和电容C_T可调振荡器频率高达2MH。

开关周期是定时电容充电和放电时间之和。充电时间由C_T和内部200μA电流源决定，而放电时间取决于RTD 和CT。

$$T_C \approx 11.5 \,.\, 10^3 \,.\, CT \qquad S$$ **EQ. 1**

$$T_D \approx (0.06 \,.\, RTD \,.\, CT) + 50 \,.\, 10^{-9} \qquad S$$ **EQ. 2**

$$T_{SW} = T_C + T_D = \frac{1}{F_{SW}} \qquad S$$ **EQ. 3**

式中: Tc 和 T_D分别是充电和放电时间; CT 是定时电容, 其单位为法拉第 (F); RTD 是放电电阻, 其单位为 欧姆 (Ω), T_{OSC}是振荡器周期; F_{OSC}是振荡器频率. 一个输出的开关周期等于二个振荡器周期。由于每个传输延迟约为10ns，因此实际时间比所计算的时间稍微长。这个延迟直接增加到开关时间，且引起定时电容峰值和谷电压门限过冲，因而增大了定时电容峰-峰的电压。另外，如果使用非常低的充电和放电电流，时间误差将会因CT引脚处的输入阻抗而增加。流经RTD电流的最大值应为1mA, 这可产生 20mA 的CT放电电流。

最大占空比（D_{MAX}）和死区时间百分比（DT）可用以下公式计算：

$$D = \frac{T_C}{T_{SW}}$$ **EQ. 4**

$$DT = 1 - D$$ **EQ. 5**

实现软启动运作

ISL6752 没有软一启.动运作, 但可用外部元件实现, 如下图所示。

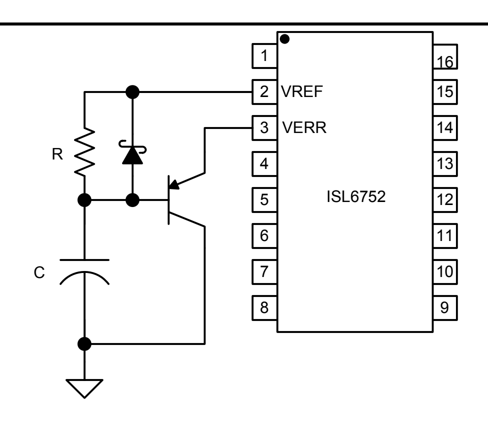


FIGURE 5 IMPLEMENTING SOFT-START

图中的 RC 网络决定晶体管基极的上升速度, 而晶体管基极钳位于 VERR 的电压。 所选的 R 和 C 值应控制 VERR 上升速度来实现想要的软启动运作时间。软启动运作时间可用等式 6 计算:

$$t = -RC \,.\, \ln\left(1 - \frac{V_{SS} - V_{be}}{VREF + \frac{0.001R}{\beta}}\right) \qquad S$$ **EQ. 6**

式中:

V_{SS} 是软启动的钳位电压,

V_{be} 是晶体管基极-发射极的电压跌落,

β 是晶体管的平均增益 (DC gain)

如果β足够大, 那项可忽略。肖特基二极管可迅速地放电软启动电容, 于是电路会迅速复位。

门极驱动器

ISL6752的输出可灌出和吸入10mA电流(在额定的VOH, VOL), 应连接于高电流的MOSFET门极驱动器或分立式的双极推拉驱动器。 典型的输出电阻是50Ω。

过流运作

当反馈电流信号超过 1.0V, 周期式峰值电流控制可令脉冲式占空比减少. 当峰值电流超过门限值, 现行的输出脉冲则立即终止，使负载电流超过门限值时能适当地控制并减低输出电压。在过流情况下，ISL6752仍可继续运作。

从CS超出电流门限值到输出脉冲终止的传播延迟会因上升沿封锁(LEB)的间隔而增加。有效延迟是两个延迟之和，其典型值为105ns。

斜率补偿

峰值电流模式控制需要用斜率补偿来改善噪音干扰，在低负载时可阻止电流环的不稳定，特别是占空比高于50%时。可通过加接一外部斜坡到反馈电流信号或在反馈电压误差信号减接一外部斜坡来实现斜率补偿。加接一外部斜坡到反馈电流信号是较为常用的方法。

小信号电流模式的模式[1]显示了自然抽样调制器的增益。Fm，无斜率补偿，是

$$Fm = \frac{1}{SnTsw} \qquad \text{EQ. 7}$$

式中：Sn是锯齿信号的斜率。Tsw是半周时间。若加接一外部斜坡，调制器的增益则为

$$Fm = \frac{1}{(Sn + Se)Tsw} = \frac{1}{m_c SnTsw} \qquad \text{EQ. 8}$$

式中：Se是外部斜坡的斜率以及

$$m_c = 1 + \frac{Se}{Sn} \qquad \text{EQ. 9}$$

50%的振荡器频率的双极阻尼系数决定外部斜坡的基准额。若Q系数设置为1，双极会临界阻尼；Q > 1时，过阻尼； Q < 1则会欠阻尼。欠阻尼会引起电流环不稳定。

$$Q = \frac{1}{\pi(m_c(1 - D) - 0.5)} \qquad \text{EQ. 10}$$

式中：D是半周期时间的百分比。设定Q = 1，求得Se为

$$S_e = S_n\left(\left(\frac{1}{\pi} + 0.5\right)\frac{1}{1 - D} - 1\right) \qquad \text{EQ. 11}$$

Sn和Se分别是电流斜坡和外部斜坡导通时的斜率，与导通时间(T_{ON}) 之积是导通时间(T_{ON})内所产生的电压变化。

$$V_e = V_n\left(\left(\frac{1}{\pi} + 0.5\right)\frac{1}{1 - D} - 1\right) \qquad \text{EQ. 12}$$

式中：V_n是导通时间内反馈电流信号的变化，V_e是加外部斜坡所增加的电压。用输入电压，电流传感器元件和输出电感可求出V_n

$$V_e = \frac{T_{SW} \cdot V_O \cdot R_{CS}}{N_{CT} \cdot L_O} \cdot \frac{N_S}{N_P}\left(\frac{1}{\pi} + D - 0.5\right) \quad V \qquad \text{EQ. 13}$$

式中：R_{CS}是电流感应电阻，N_{CT}是电流变压器线圈比例，L_O是输出电感，V_O是输出电压，而N_S和N_P分别是副边和原边线圈。

电感电流通过隔离变压器和电流感应变压器的反射而在感应电阻上产生的反馈电流信号为

$$V_{CS} = \frac{N_S \cdot R_{CS}}{N_P \cdot N_{CT}}\left(I_O + \frac{D \cdot T_{SW}}{2L_O}\left(V_{IN} \cdot \frac{N_S}{N_P} - V_O\right)\right) \quad V \qquad \text{EQ. 14}$$

式中：V_{CS}是横跨电流感应电阻的电压，I_O是输出电流的门限值。

由于峰值电流门限值是1.00V，总反馈电流信号和外部斜坡电压必须加到这个伏数。

$$V_e + V_{CS} = 1 \qquad \text{EQ. 15}$$

代入等式13和14到等式15，所得的R_{CS}为

$$R_{CS} = \frac{N_P \cdot N_{CT}}{N_S} \cdot \frac{1}{I_O + \frac{V_O}{L_O} T_{SW}\left(\frac{1}{\pi} + \frac{D}{2}\right)} \quad \Omega \qquad \text{EQ. 16}$$

上述的讨论只用了理想的元件，但在决定外部斜坡所加的数额时必须考虑磁化电感的影响。磁化电感在反馈电流信号设了一斜坡补偿幅度并减低外部斜坡的所需值。磁化电感加上原边电流超出了副边的电感电流。

$$\Delta I_P = \frac{V_{IN} \cdot DT_{SW}}{L_m} \quad A \qquad \text{EQ. 17}$$

式中：V_{IN}是占空比D的输入电压，L_m是原边磁化电感。电流感应电阻 (R_{CS}) 的磁化电流效果是

$$\Delta V_{CS} = \frac{\Delta I_P \cdot R_{CS}}{N_{CT}} \quad V \qquad \text{EQ. 18}$$

若ΔV_{CS}大于或等于V_e， 则不需要额外斜坡补偿，而R_{CS}为

$$R_{CS} = \frac{N_{CT}}{\frac{N_S}{N_P} \cdot \left(I_O + \frac{DT_{SW}}{2L_O} \cdot \left(V_{IN} \cdot \frac{N_S}{N_P} - V_O\right)\right) + \frac{V_{IN} \cdot DT_{SW}}{L_m}} \qquad \text{EQ. 19}$$

若ΔV_{CS}小于V_e，则仍可用等式16计算R_{CS}值，但含外部斜坡的斜坡补偿额必须减去ΔV_{CS}

ISL6752可用CTBUF信号来实现加斜坡补偿。CTBUF是放大的CT引脚的锯齿信号，偏移接地0.4V，是CT峰-峰振幅的两倍(0.4 - 4.4V) 。此信号与电流感应反馈的和外加于CS引脚, 如图6所示。

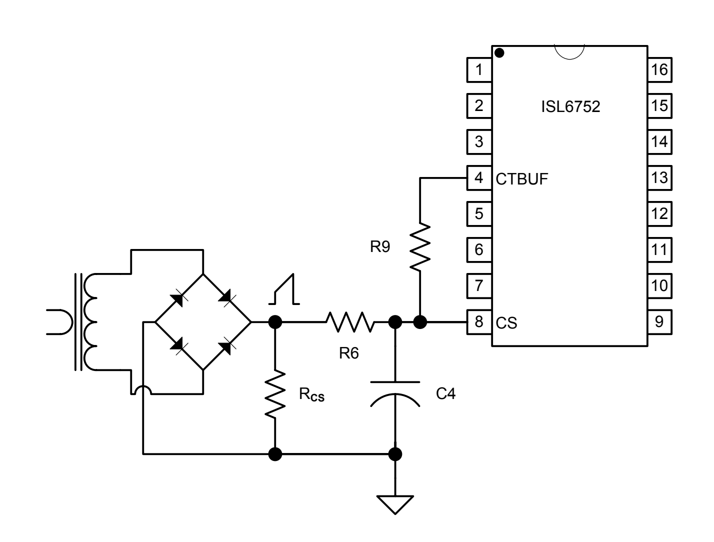


FIGURE 6 ADDING SLOPE COMPENSATION

假设设计时选择将RC 过滤器放在CS引脚, 加在外部斜坡的R9 值可叠加得

$$V_e - \Delta V_{CS} = \frac{(D(V_{CTBUF} - 0.4) + 0.4) \cdot R6}{R6 + R9} \quad V \qquad \text{EQ. 20}$$

重新整理，求得R9为

$$R9 = \frac{(D(V_{CTBUF} - 0.4) - V_e + \Delta V_{CS} + 0.4) \cdot R6}{V_e - \Delta V_{CS}} \quad \Omega \qquad \text{EQ. 21}$$

用等式16计得的R_{CS}值必须重新调节，这样CS引脚的电流感应信号可由等式14推算出。这主要是由于R6和R9形成分阻器。

$$R'_{CS} = \frac{R6 + R9}{R9} \cdot R_{CS} \qquad \text{EQ. 22}$$

例如：

V_{IN} = 280V

V_O = 12V

L_O = 2.0μH

Np/Ns = 20

Lm = 2mH

I_O = 55A

振荡器频率, Fsw = 400 kHz

占空比, D = 85.7%

N_{CT} = 50

R6 = 499Ω

用等式16求出电流感应电阻，RCS

R_{CS} = 15.1Ω

用等式13确定加在反馈电流信号的电压值，V_e

Ve = 153mV

接着，用等式18确定磁化电流的效果

ΔV_{CS} = 91mV

运用等式21求出CTBUF至CS的总和电阻, R9。

R9 = 30.1kΩ

用等式22确定新的RCS值，R'_{CS}

R'_{CS} = 15.4Ω

上述讨论确定了所需的最小外部斜坡，额外的斜坡补偿可以用作设计余量。

若应用中需要的死区时间少于约500ns，CTBUF信号不可完全地作斜坡补偿。CTBUF延迟CT锯齿波300-400ns。这使在死区时间短而下半周期开始时的CTBUF为非零值。

在这种情况下，斜坡补偿可加额外缓冲的CT信号，如下图所示。

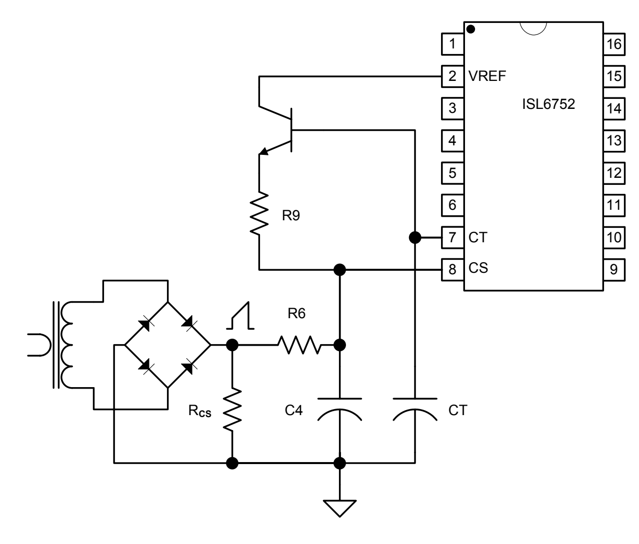


FIGURE 7 ADDING SLOPE COMPENSATION USING CT

用CT代替CTBUF提供斜坡补偿，除需更改等式20和等式21外，其余计算一样。等式20改为：

$$V_e - \Delta V_{CS} = \frac{2D \cdot R6}{R6 + R9} \quad V \qquad \text{EQ. 23}$$

和等式21改为：

$$R9 = \frac{(2D - V_e + \Delta V_{CS}) \cdot R6}{V_e - \Delta V_{CS}} \quad \Omega \qquad \text{EQ. 24}$$

用在CT增设外部斜坡的缓冲晶体管要有足够高的增益(>200)才可减低所需的基流。但振荡器频率会因所需基流降低流入CT的充电电流而降低。

全桥型零电压开关操作

ISL6752 是全桥型零电压开关(ZVS)PWM 控制器。它类似传统的硬关断拓扑结构控制器，但非同时启动的对角桥梁开关，上层开关(OUTUL,OUTUR)启动于固定的 50%占空比，下层开关(OUTLL, OUTLR) 调整脉冲宽度于后沿。

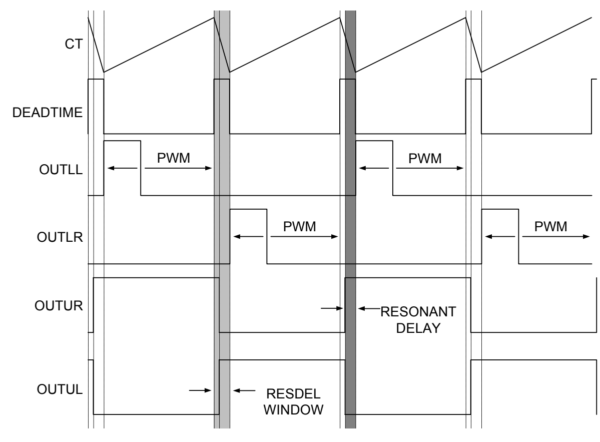


FIGURE 8 BRIDGE DRIVE SIGNAL TIMING

明白 ZVS 方法如何操作，必须包括电路的寄生元素和检测整个开关周期。

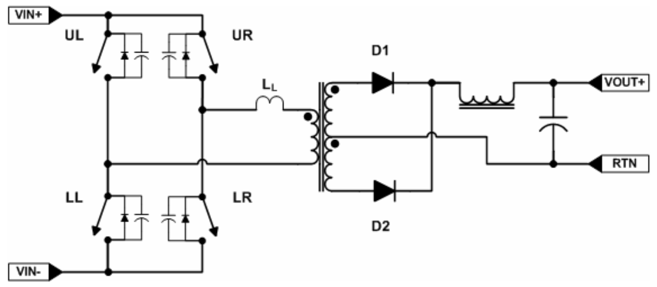


FIGURE 9 IDEALIZED FULL-BRIDGE

图9，半导体开关是以平行二极管和电容的理想的开关元件来代替，并有理想的输出过滤器和变压器漏感作为隔离元件。开关电容集总所有寄生电容，其中包括表示电路线组电容。每个开关有自己特定的位置：左上(UL)、右上(UR)、左下(LL)、右下(LR)。周期的开始如图10所示，任意地设置在开关UL和LR开通，在UR和LL关断。原边电流和副边电流分别以I_P和I_S表示。

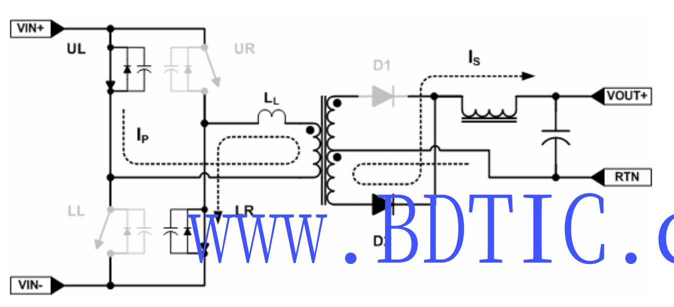


FIGURE 10 UL - LR POWER TRANSFER CYCLE

由PWM控制的LR开关关断时，UL-LR 能量转换时间就会终止。但流经原边的电流不能同时中断，故它必须找另外的通道。原边的电流会流入LR和UR寄生开关电容，充电到VIN，然后偏流向上层开关UR的自身二极管。

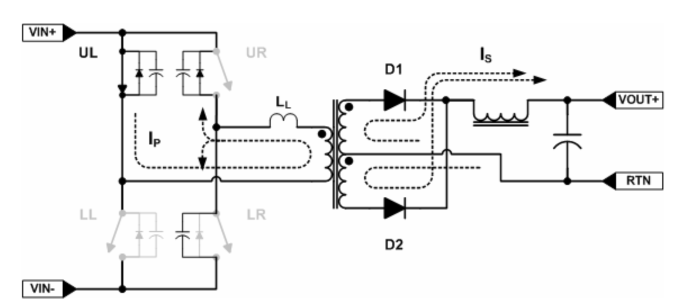


FIGURE 11 UL - UR FREE-WHEELING PERIOD

原边漏感，L_L，保持电流环流开关UL，原边变压器和开关UR。当开关LR关掉时，输出电感电流自由运行通过两个输出二极管，D1和D2。这种情况持续半个周期的余下部份。

CT放电期间，也即死区时间，上层开关拨动。开关UL关断和开关UR开通，上层开关拨动开关实际时间取决于RESDEL所设置的谐振延迟。供应到RESDEL的电压决定了下层开关开通前需多长时间提前拨动。ZVS转换发生在上层开关拨动之后和对角下层开关开通之前。所需谐振延迟是漏感和寄生电容所形成的LC电路的谐振频率时间的1/4。 谐振转换可由等式25推算出

$$\tau = \frac{\pi}{2}\frac{1}{\sqrt{\frac{1}{L_L C_P} - \frac{R^2}{4L_L^2}}}$$ **EQ. 25**

式中：τ是谐振转换时间，L_L是漏感，C_P是寄生电容，R是串联L_L和C_P的等效电阻。

通常谐振延迟少于或等于死区时间，并可用下面的等式计算。

$$\tau_{resdel} = \frac{V_{resdel}}{2} \cdot DT \qquad S$$ **EQ. 26**

式中：τ_{resdel}是所需的谐振延迟，V_{resdel}是供应到RESDEL引脚的0-2V电压，DT是死区时间(见等式1-5) 。

上层开关拨动时，流经UR的原边电流必须找另外的通道。它充电/放电开关UL和LL的寄生电容直到LL自身二极管偏向前流。如果RESDEL设置适当，则开关LL会在此时开通。

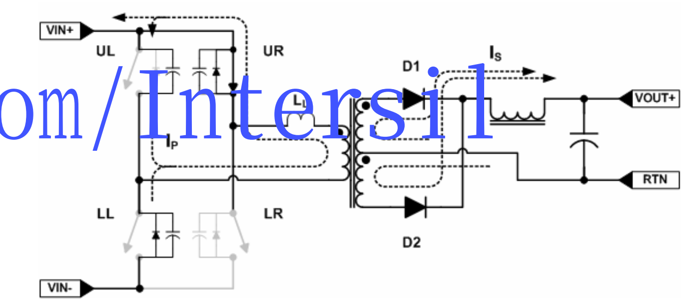


FIGURE 12 UPPER SWITCH TOGGLE AND RESONANT TRANSITION

当开关LL关闭时第二次能量转换开始。开关UR和LL开通时的原边和副边电流流程图如下所示

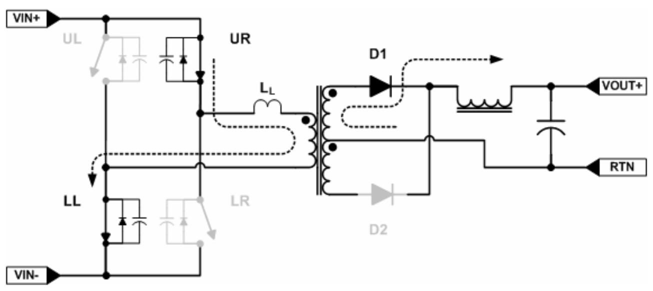


FIGURE 13 UR - LL POWER TRANSFER CYCLE

由PWM控制的LR开关关断时，UR-LL 能量转换时间就会终止。但流经原边的电流不能同时中断，故它必须找另外的通道。原边的电流流入寄生开关电容，充电结到VIN，然后偏流向上层开关UL的自身二极管。原边漏感，L_L, 保持电流环流开关UR，原边变压器和开关UL。当开关LL关掉时，输出电感

电流自由运行通过两个输出二极管，D1和D2。这种情况持续半个周期的余下部份。

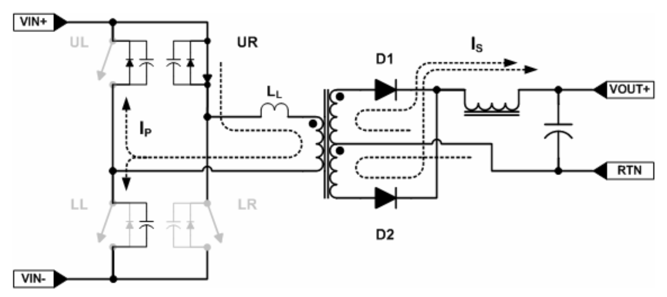


FIGURE 14 UR - UL FREE-WHEELING PERIOD

上层开关拨动时，流经UR的原边电流必须找另外的通道。它充电/放电开关UR和LR的寄生电容直到LR自身二极管偏向前流。如果RESDEL设置适当，则开关LR会在此时开通。

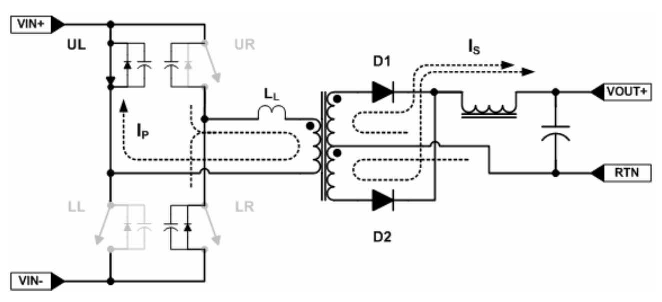


FIGURE 15 UPPER SWITCH TOGGLE AND RESONANT TRANSITION

当开关LR关闭，开始新的周期，第一次能量转换开始。ZVS转换要求漏感有足够的存储能量令寄生电容充电完全。由于存储能量与电流平方数成正比(1/2 $L_L I_P^2$) ，ZVS谐振转换是依赖于负载。如果漏感没足够存储的能量供给ZVS，可串连一隔离电感于原边变压器。

同步整流器输出和控制

ISL6752提供了双端PWM输出，OUTLL和OUTLR，同步整流器(SR)输出，OUTLLN和OUTLRN。SR输出是PWM输出的补码。补码输出应连接于PWM输出的反方向，例如，OUTLL和OUTLRN 是一对，OUTLR 和 OUTLLN是一对。

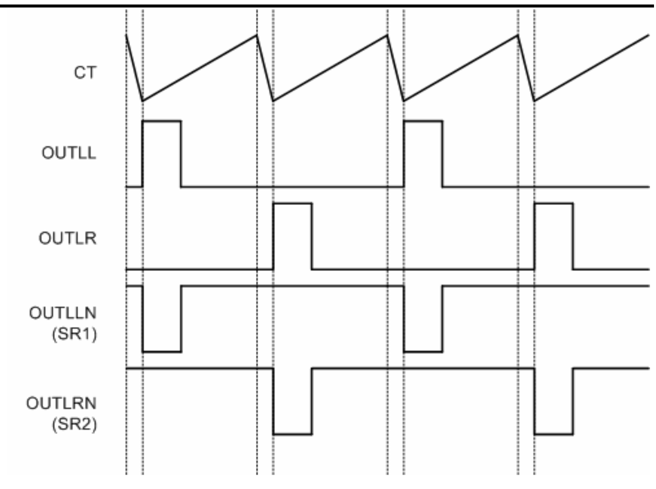


FIGURE 16 BASIC WAVEFORM TIMING

参见图16，SRs交替同时开通于周期的自由运行期间(OUTLL /LR关断)， 和 仅 有 一个开通在OUTLL或OUTLR开通的时候 。如果OUTLL开通，相应的SR必须是导通的，这表示OUTLRN是正确的SR控制信号。同样地，如果OUTLR开通，相应的SR必须是导通的，这表示OUTLLN是正确的SR控制信号。

ISL6752有一非常有用的性能就是可调PWM输出(OUTLL, OUTLR) 和它们的补码(OUTLLN, OUTLRN) 相位关系间隔±300ns。这一性能允许补偿PWM FETs和SR FETs间的传播时间的差异。而供应到VADJ的电压控制相位关系。

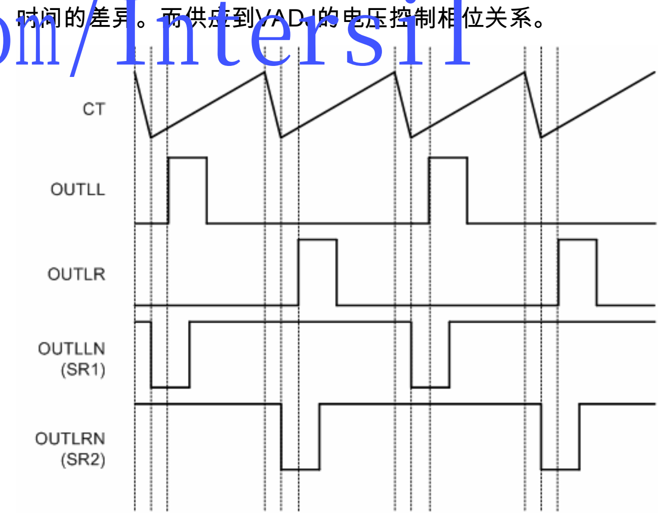


FIGURE 17 WAVEFORM TIMING WITH PWM OUTPUTS DELAYED, 0V < VADJ < 2.425V

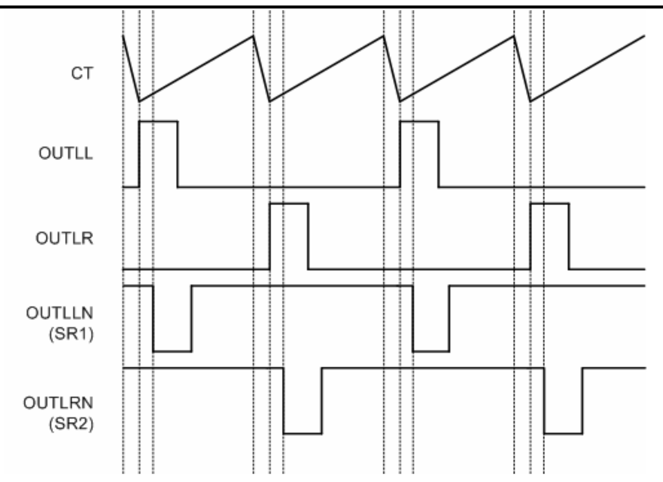


FIGURE 18 WAVEFORM TIMING WITH SR OUTPUTS DELAYED, 2.575V < VADJ < 5.00V

安置VADJ等于VREF/2导致没有任何输出延迟。没有延迟电压会有±75mV容差窗口。控制电压低于VREF/2零延迟极限会引起PWM输出OUTLL/LR延迟。控制电压高于VREF/2零延迟极限则会引起SR输出OUTLLN/LRN延迟。值得注意的是当PWM输出OUTLL/LR延迟，CS到输出传输延迟会因这延迟的增加而增加。

通常在一组信号横跨原边-副边隔离范围时PWM和SR输出间的传输延迟会不相符，而这延迟功能就是用以补偿这不相符的传输延迟。根据需要可用外电阻、电容和二极管来扩张或压缩个别的输出脉冲。

50%上层输出会因PWM输出的延迟而同样被延迟，因此是不会影响谐振延迟设置。

导通/关断控制

ISL6753没有专门的有效/失效的控制引脚。可拉VERR到接地来令PWM输出和OUTLL/OUTLR失效。这样可降低占空比至零，但上层50%占空比输出OUTUL/OUTUR会继续运作。同样地，SR输出OUTLLN/OUTLRN会处于高运作状态。

如果应用中需要所有输出关断，那么供应电压，VDD，必须分隔于IC。可实现如下图所示。

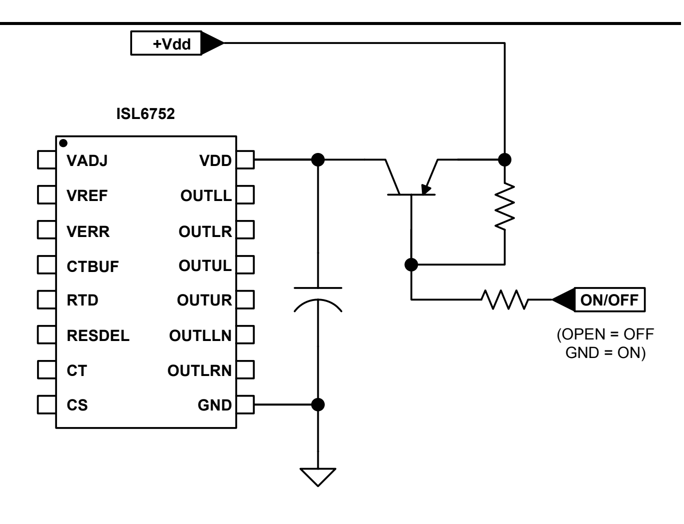


FIGURE 19 ON/OFF CONTROL USING VDD

故障状况

如果VREF或VDD跌落低于其欠压锁定(UVLO) 门限值或触发过热保护就会发生故障状况。检测出故障时输出就会截止。当故障清除后输出重新运作。

过热保护

ISL6752持有内部的过热保护。内热传感器保护器件芯片结温不超出140° C，而热迟滞约15° C。

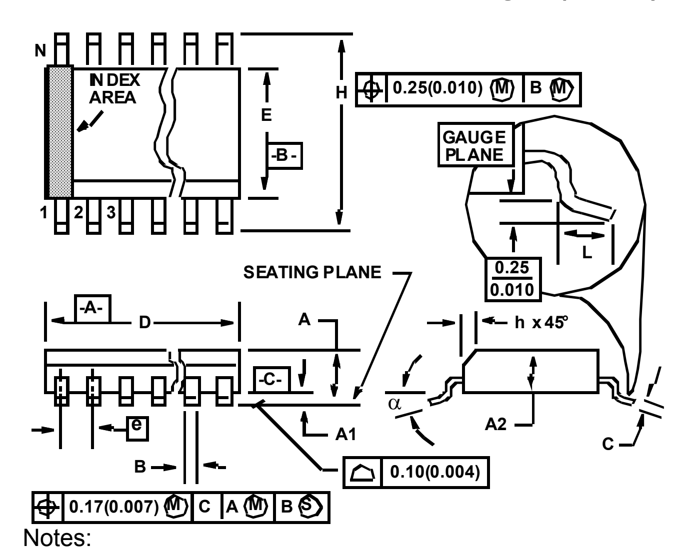
接地要求

为使这个器件能理想地工作，应该要仔细布局。特别是应用一个好的接地面，VDD和VREF必须以一个好的高频电容直接旁接到地GND。

参考资料

Ridley, R., “A New Continuous-Time Model for Current Mode Control”, IEEE Transactions on Power Electronics, Vol. 6, No. 2, April 1991.

Shrink Small Outline Plastic Packages (SSOP)
Quarter Size Outline Plastic Packages (QSOP)



Notes:

1. Symbols are defined in the "MO Series Symbol List" in Section 2.2 of Publication Number 95.
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Dimension "D" does not include mold flash, protrusions or gate burrs and are measured at Datum Plane. Mold flash, protrusion and gate burrs shall not exceed 0.15mm (0.006 inch) per side.
4. Dimension "E" does not include interlead flash or protrusions. Interlead flash and protrusions shall not exceed 0.25mm (0.010 inch) per side.
5. The chamfer on the body is optional. If it is not present, a visual index feature must be located within the crosshatched area.
6. "L" is the length of terminal for soldering to a substrate.
7. "N" is the number of terminal positions.
8. Terminal numbers are shown for reference only.
9. Dimension "B" does not include dambar protrusion. Allowable dambar protrusion shall be 0.10mm (0.004 inch) total in excess of "B" dimension at maximum material condition.
10. Controlling dimension: INCHES. Converted millimeter dimensions are not necessary exact.

M16.15A

16 LEAD SHRINK SMALL OUTLINE PLASTIC PACKAGE 0.150" WIDE BODY

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	0.061	0.068	1.55	1.73	-
A1	0.004	0.0098	0.102	0.249	-
A2	0.055	0.061	1.40	1.55	-
B	0.008	0.012	0.20	0.31	9
C	0.0075	0.0098	0.191	0.249	-
D	0.189	0.196	4.80	4.98	3
E	0.150	0.157	3.81	3.99	4
e	0.025 BSC		0.635 BSC		-
H	0.230	0.244	5.84	6.20	-
h	0.010	0.016	0.25	0.41	5
L	0.016	0.035	0.41	0.89	6
N	16		16		7
α	0°	8°	0°	8°	-

Rev.2 6/04